

Atty. Docket No. OF03P212/US

IN THE UNITED STATES PATENT & TRADEMARK OFFICE

IN RE APPLICATION OF : :

Jae Suk LEE et al. : GROUP ART UNIT:

SERIAL NO: NEW APPLICATION : :

FILED: HEREWITH : EXAMINER:

FOR: METHOD OF MANUFACTURING A SEMICONDUCTOR DEVICE

I hereby certify that this document is being deposited with the United States Postal Service as Express Mail No. EU190172596US in an envelope addressed to Commissioner for Patents, Mail Stop Patent Application, Washington, D.C. 20231, on December 3, 2003.

By: Jennie Heaton
Jennie Heaton

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119(a)-(b) AND 37 C.F.R. 1.55

COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

Applicant respectfully requests under the Paris Convention for the Protection of Intellectual Property the benefit of the filing date of the prior foreign application(s) identified below:

<u>Serial No.</u>	<u>Filing Date</u>	<u>Country of Filing</u>
10-2002-0080224	December 16, 2002	Republic of KOREA

A certified copy of the above-identified priority application is attached.

Respectfully submitted,



Andrew D. Fortney, Ph.D.
Reg. No. 34,600

7257 N. Maple Avenue, Suite 107
Fresno, California 93720
(559) 299-0128



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0080224
Application Number

출원년월일 : 2002년 12월 16일
Date of Application DEC 16, 2002

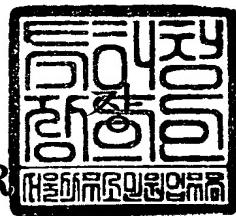
출원인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003년 10월 23일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002. 12. 16
【발명의 명칭】	반도체 소자 제조방법
【발명의 영문명칭】	Fabricating method of semiconductor device
【출원인】	
【명칭】	동부전자 주식회사
【출원인코드】	1-1998-106725-7
【대리인】	
【성명】	김영철
【대리인코드】	9-1998-000040-3
【포괄위임등록번호】	2001-037703-7
【대리인】	
【성명】	김순영
【대리인코드】	9-1998-000131-1
【포괄위임등록번호】	2001-037700-5
【대리인】	
【성명】	이준서
【대리인코드】	9-1998-000463-0
【포괄위임등록번호】	2001-037697-8
【발명자】	
【성명의 국문표기】	이재석
【성명의 영문표기】	LEE, Jae Suk
【주민등록번호】	650625-1030024
【우편번호】	467-900
【주소】	경기도 이천시 장호원읍 현대아파트 101-603
【국적】	KR
【발명자】	
【성명의 국문표기】	김지아
【성명의 영문표기】	KIM, Ji A
【주민등록번호】	700210-2167635

【우편번호】 122-773
【주소】 서울특별시 은평구 녹번동 대림아파트 3-602
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
 김영철 (인) 대리인
 김순영 (인) 대리인
 이준서 (인)
【수수료】
【기본출원료】 17 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 5 항 269,000 원
【합계】 298,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 장치의 배선연결부 즉, 콘택홀 또는 비아홀의 형성을 다중화함으로써 하나의 콘택홀 또는 비아홀이 단선되더라도 다른 콘택홀 또는 비아홀을 통해 안정적으로 전기적 신호를 전달할 수 있는 반도체 소자 제조방법에 관한 것으로서,

본 발명의 반도체 소자 제조방법은 반도체 기판 상에 절연층을 형성하는 단계와, 상기 절연층 상에 도전성 물질을 증착한 후 선택적으로 패터닝하여 제 1 배선을 형성하는 단계와, 상기 제 1 배선을 포함한 기판 전면에 절연 물질을 적층하여 층간 절연층을 형성하는 단계와, 상기 제 1 배선의 소정 부위가 노출되도록 상기 층간 절연층을 선택적으로 패터닝하여 복수개의 콘택홀을 형성하는 단계와, 상기 콘택홀을 포함한 기판 전면 상에 소정 두께로 금속층을 증착하여 금속 배리어층을 형성하는 단계와, 상기 금속 배리어층을 포함한 기판 전면 상에 상기 콘택홀을 충분히 메우도록 금속 배선 형성을 위한 도전성 물질을 증착하는 단계와, 상기 층간 절연층이 노출되도록 층간절연층 상의 도전성 물질을 평탄화 공정을 통해 제거하여 제 2 배선을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

【대표도】

도 8

【색인어】

콘택홀, 트렌치

【명세서】**【발명의 명칭】**

반도체 소자 제조방법{Fabricating method of semiconductor device}

【도면의 간단한 설명】

도 1 내지 도 8은 본 발명의 반도체 소자 제조방법을 설명하기 위한 공정 단면도.

<도면의 주요 부분에 대한 설명>

101 : 반도체 기판

102 : 절연층

103 : 제 1 배선

104 : 층간절연층

105 : 제 1 포토레지스트

106 : 제 2 포토레지스트

107 : 콘택홀

107a : 복수개의 콘택홀 영역

108 : 제 3 포토레지스트

109 : 트렌치

110 : 금속 배리어층

111 : 제 2 배선

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9> 본 발명은 반도체 소자 제조방법에 관한 것으로서, 보다 상세하게는 반도체 장치의 배선 연결부 즉, 콘택홀 또는 비아홀의 형성을 다중화함으로써 하나의 콘택홀 또는 비아홀이 단선되더라도 다른 콘택홀 또는 비아홀을 통해 안정적으로 전기적 신호를 전달할 수 있는 반도체 소자 제조방법에 관한 것이다.

- <10> 구리 금속 배선을 적용하는 반도체 장치의 소자간 전기적 연결을 위한 배선연결부 및 배선과 그 형성기술은 충간절연층의 콘택홀 또는 비아홀 내에 플러그를 형성한 다음 플러그 상에 배선을 패터닝하여 형성하므로 주변부위와 단차가 심화되고, 낮은 단차 피복도를 가지며 배선 간의 단락이 유발되어 수율이 좋지 않다. 또한, 구리 배선은 알루미늄에 비해 식각하기가 어려운 단점이 있다.
- <11> 이를 개선하기 위하여 콘택 또는 비아 플러그와 배선을 동시에 패터닝하여 형성하는 방법으로 다마신(Damascene) 구조가 제안되었다. 다마신 구조에서 채용하는 구리배선은 알루미늄 또는 알루미늄 합금 배선에 비하여 전기전도도가 탁월하여 저항이 작아 반송 전류를 일정하게 유지하면서 배선의 미세화와 고집적화의 실현이 가능하며, 전해도금특성이 우수하여 디바이스의 신뢰도를 높일 수 있으며, 알루미늄 소자에 비해 수율이 높다.
- <12> 이러한 다마신 구조에서 콘택홀 또는 비아홀 내의 금속 배선을 증착할 때 일반적으로 사용되는 텅스텐(W)보다 구리(Cu)가 캡필(gapfill) 능력이 우수하여 장경비(aspect ratio)가 큰 콘택홀 또는 비아홀에서도 적용이 가능하다.
- <13> 구리배선 형성을 위한 듀얼 다마신(Dual damascene) 공정은 다음과 같은 순서로 진행된다.
- <14> 먼저 충간절연층을 하부배선 상에 형성한 다음, 충간절연층의 소정 부위를 제거하여 비아홀 및 트렌치를 형성하고, 하부 배선과 접촉하도록 금속 배리어층을 비아홀 및 트렌치를 형성하고, 하부 배선과 접촉하도록 금속 배리어층을 비아홀 및 트렌치에 얇게 형성한 후, 구리층을 비아홀 및 트렌치를 완전히 매립하도록 형성한 다음, 구리층에 대한 평탄화공정 및 세정공정을 실시하고, 다시 노출된 구리배선을 덮도록 캐핑층(capping layer)을 형성한다.

<15> 상기 공정 중, 평탄화공정은 줄 구리층에 대한 CMP(Chemical Mechanical polishing)으로 진행되는데, CMP로 평탄화되어 잔류한 구리층으로 이루어진 구리배선의 노출된 표면에는 산화구리(CuO)로 이루어진 자연 산화막이 형성된다. 이어서, 구리배선 상에 캐핑층으로 질화막을 증착하여 구리 원자의 증착절연층으로의 확산을 방지한다.

<16> 그러나, 상기와 같은 종래 기술에 따른 반도체 장치의 배선연결부 및 배선 형성방법에 있어서, 콘택홀 또는 비아홀은 RIE(Reactive Ion Etching)과 같은 건식 식각을 통해 단일 홀을 형성하게 되어 있다. 따라서, 상기 콘택홀 또는 비아홀이 오염되어 단선되는 경우 반도체 소자와 전체의 전기적 특성을 저하시키는 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

<17> 본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로서, 반도체 장치의 배선연결부 즉, 콘택홀 또는 비아홀의 형성을 다중화함으로써 하나의 콘택홀 또는 비아홀이 단선되더라도 다른 콘택홀 또는 비아홀을 통해 안정적으로 전기적 신호를 전달할 수 있는 반도체 소자 제조방법을 제공하는 것을 목적으로 한다.

【발명의 구성 및 작용】

<18> 상기와 같은 목적을 달성하기 위한 본 발명의 반도체 소자 제조방법은 반도체 기판 상에 절연층을 형성하는 단계와, 상기 절연층 상에 도전성 물질을 증착한 후 선택적으로 패터닝하여 제 1 배선을 형성하는 단계와, 상기 제 1 배선을 포함한 기판 전면에 절연 물질을 적층하여 층간 절연층을 형성하는 단계와, 상기 제 1 배선의 소정 부위가 노출되도록 상기 층간 절연층을 선택적으로 패터닝하여 복수개의 콘택홀을 형성하는 단계와, 상기 콘택홀을 포함한 기판 전면 상에 소정 두께로 금속층을 증착하여 금속 배리어층을 형성하는 단계와, 상기 금속 배리어층을

포함한 기판 전면 상에 상기 콘택홀을 충분히 메우도록 금속 배선 형성을 위한 도전성 물질을 증착하는 단계와, 상기 층간절연층이 노출되도록 층간절연층 상의 도전성 물질을 평탄화 공정을 통해 제거하여 제 2 배선을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

<19> 여기서, 상기 복수개의 콘택홀을 형성하는 단계는, 상기 층간절연층 상에 제 1 포토레지스트를 도포한 후 복수개의 콘택홀 영역이 형성될 위치에 상응하는 부분의 제 1 포토레지스트를 현상하여 제거하는 과정과, 상기 패터닝된 제 1 포토레지스트를 마스크로 하여 상기 층간절연층의 소정 두께 만큼을 식각하여 제거하는 과정과, 상기 소정의 두께 만큼 제거된 층간절연층을 포함한 기판 전면 상에 제 2 포토레지스트를 도포하고 각각의 콘택홀이 형성될 위치에 상응하는 부분의 제 2 포토레지스트를 일정 간격을 두고 선택적으로 현상하여 제거하는 과정과, 상기 패터닝된 제 2 포토레지스트를 마스크로 하여 상기 제 1 배선이 노출되도록 상기 층간절연층을 식각, 제거하여 각각의 콘택홀을 형성하는 과정으로 구성되는 것을 특징으로 한다.

<20> 본 발명의 특징에 따르면 반도체 장치의 배선연결부 즉, 콘택홀 또는 비아홀의 형성을 다중화함으로써 하나의 콘택홀 또는 비아홀이 단선되더라도 다른 콘택홀 또는 비아홀을 통해 안정적으로 전기적 신호를 전달할 수 있게 된다.

<21> 이하, 도면을 참조하여 본 발명의 반도체 소자 제조방법을 상세히 설명하기로 하다.

<22> 도 1 내지 도 8은 본 발명의 반도체 소자 제조방법을 설명하기 위한 공정 단면도이다.

<23> 먼저, 도 1에 도시한 바와 같이, 반도체 기판(101) 상에 절연층(102)을 화학기상증착법(Chemical Vapor Deposition, CVD)으로 증착한다. 여기서, 상기 반도체 기판(101)은 불순물 확산영역(도시하지 않음)이 형성된 반도체기판이거나 또는 하부의 배선일 수도 있다.

- <24> 그리고, 제 1 배선을 형성하기 위하여 절연층 위에 금속을 스퍼터링 등의 방법으로 형성하여 하부 금속층(103)을 형성한 다음, 하부 금속층 위에 포토레지스트를 도포한 후 제 1 배선용 마스크를 이용한 노광 및 현상으로 식각마스크(도시하지 않음)를 형성한 다음, 식각마스크를 이용하여 하부 금속층을 패터닝하여 제 1 배선(103)을 형성한다.
- <25> 그 다음, 제 1 배선(103)을 포함하여 절연층(102) 위에 산화막 등으로 금속배선 층간절연층(104)을 증착한다. 이 때, 상기 층간절연층(104)은 TEOS(Tetra Ethyl OrthoSilicate) 및 SOG(Spin On Glass)을 조합하여 형성할 수 있으며 그 주성분은 실리콘 산화물(SiO_2)이다.
- <26> 그리고, 층간절연층의 소정 부분을 포토리소그래피 방법으로 패터닝하여 제 1 배선층을 노출시키는 콘택홀(또는 비아홀) 및 상부배선인 제 2 배선의 패턴이 음각된 트렌치를 형성한다. 즉, 후속공정에서 비아홀에는 상부배선과 하부배선인 제 1 배선을 연결하는 플러그가 형성되고, 트렌치에는 상부배선이 형성된다.
- <27> 이 때, 콘택홀(또는 비아홀)과 트렌치는 순차적으로 패터닝되는데 그 방법은 다음과 같다.
- <28> 도 2에 도시한 바와 같이, 상기 층간절연층(104)을 포함한 기판 전면 상에 제 1 포토레지스트(105)를 도포한 후 복수개의 콘택홀 즉, 다중 콘택홀(또는 비아홀)이 형성될 영역(107a)에 상응하는 제 1 포토레지스트(105)를 현상하여 제거한다.
- <29> 남아있는 제 1 포토레지스트(105)를 마스크로 이용하여 상기 층간절연층(104)의 소정 두께만큼을 RIE(Reactive Ion Etching)와 같은 건식 식각을 통해 제거한다. 이 때, 층간절연층(104)을 건식 식각하여 제거하는 공정은 하부 배선이 노출되지 않을 정도하며 식각 제거되는

충간절연층(104)의 폭은 본 발명의 다중 콘택홀(또는 비아홀)의 전체 너비에 상응하며 종래의 통상적인 콘택홀의 너비와 같다.

<30> 도 3에 도시한 바와 같이, 상기 제 1 포토레지스트(105)를 현상, 제거한 다음 상기 소정의 두께 만큼 제거된 충간절연층(104)을 포함한 기판 전면 상에 제 2 포토레지스트(106)를 도포하고 복수개의 콘택홀이 형성될 위치에 상응하는 부분의 제 2 포토레지스트(106)를 현상하여 제거한다. 즉, 상기 제 2 포토레지스트(106)가 제거되는 부분은 다중 콘택홀을 구성하는 각각의 콘택홀이 형성될 위치를 말한다.

<31> 이어, 도 4에 도시한 바와 같이 남아있는 제 2 포토레지스트(106)를 마스크로 이용하여 상기 제 1 배선(103)이 노출되도록 상기 충간절연막(104)을 식각, 제거하여 복수개의 콘택홀(107)로 구성되는 다중 콘택홀을 형성한다.

<32> 이와 같은 일련의 과정을 통해 복수개의 콘택홀(또는 비아홀)(107)을 형성하는 것이 본 발명에 따른 특징이며 또한, 이와 같은 일련의 과정은 싱글 다마신(Single damascene) 공정에 적용되는 콘택홀을 일 예로 든 것이다.

<33> 본 발명에 따른 다중 콘택홀 형성 방법은 상기와 같은 싱글 다마신 이외에 듀얼 다마신 공정에도 적용이 가능하다. 즉, 상기 제 2 포토레지스트를 이용해 복수개의 콘택홀(또는 비아홀)을 형성한 이후에 트렌치의 형성이 가능하며 도면을 참조하여 구체적으로 설명하면 다음과 같다.

<34> 도 5에 도시한 바와 같이, 상기 제 2 포토레지스트(106)를 현상, 제거한 다음 상기 복수개의 콘택홀(107)로 구성되는 다중 콘택홀을 포함한 기판 전면 상에 제 3 포토레지스트(108)를 도포하고 트렌치가 형성될 위치 즉, 상기 복수개의 콘택홀 영역의 좌우 상응하는 부분의 제 3

포토레지스트(108)를 현상하여 제거한다. 여기서, 트렌치가 형성될 위치는 후속 공정의 상부 배선이 형성될 위치로서 상기 콘택홀의 너비보다 넓게 형성된다.

<35> 이어, 남아있는 상기 제 3 포토레지스트(108)를 이용하여 상기 충간절연층(104)을 소정 두께만큼 식각, 제거한 다음 제 3 포토레지스트(108)를 현상하면 트렌치(109)를 형성하면 본 발명의 특징에 콘택홀 및 트렌치 형성 공정은 완료된다.

<36> 한편, 상기와 같이 일련의 공정을 통해 콘택홀(107) 및 트렌치(109)를 형성한 후에, 도 6에 도시한 바와 같이, 상기 충간절연층 상에 트렌치 및 콘택홀을 통해 제 1 배선(103)과 접촉 되도록 금속 배리어층(110)을 형성한다. 이 때, 금속 배리어층(110)은 Ti 또는 TiN 등을 화학 기상증착하여 형성하거나, 스퍼터링 방법으로 Ta 또는 TaN을 증착하여 형성할 수 있다.

<37> 이어, 도 7에 도시한 바와 같이, 상기 금속배리어층(110) 상에 상부배선인 제 2 배선을 형성하기 위하여 금속 등의 상부 도전층(111)을 CVD 또는 스퍼터링 등의 방법으로 증착하여 형성한다. 이 때, 상부 도전층(110)은 구리 등을 사용하여 형성할 수 있다. 구리를 사용할 경우, 상기 금속 배리어층 표면에 구리 벌크층을 형성하기 위한 구리 시드층(도시하지 않음)을 역시 PVD법으로 증착하여 형성한 다음, 구리 시드층을 이용하는 전기도금법으로 콘택홀(107)과 트렌치(109)를 충분히 매립하는 두께로 구리 벌크층을 구리 시드층 상에 형성한다. 따라서, 배선간의 연결부와 상부배선 형성층이 동시에 형성된다.

<38> 도 8에 도시한 바와 같이, 상기 구리 벌크층(111)에 평탄화공정을 실시하여 잔류한 충간 절연층 표면을 노출시켜 별도의 패터닝 공정 없이 제 1 배선(103)과 전기적으로 연결된 상부배선인 제 2 배선(111)을 형성한다. 이 때, 상기 평탄화공정은 화학기계적 연마법으로 한다.

【발명의 효과】

- <39> 상술한 바와 같은 본 발명의 반도체 소자 제조방법은 다음과 같은 효과가 있다.
- <40> 반도체 장치의 배선연결부 즉, 콘택홀 또는 비아홀의 형성을 다중화함으로써 하나의 콘택홀 또는 비아홀이 단선되더라도 다른 콘택홀 또는 비아홀을 통해 안정적으로 전기적 신호를 전달할 수 있는 장점이 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 절연층을 형성하는 단계;

상기 절연층 상에 도전성 물질을 증착한 후 선택적으로 패터닝하여 제 1 배선을 형성하는 단계;

상기 제 1 배선을 포함한 기판 전면에 절연 물질을 적층하여 층간 절연층을 형성하는 단계;

상기 제 1 배선의 소정 부위가 노출되도록 상기 층간 절연층을 선택적으로 패터닝하여 복수개의 콘택홀을 형성하는 단계;

상기 콘택홀을 포함한 기판 전면 상에 소정 두께로 금속층을 증착하여 금속 배리어층을 형성하는 단계;

상기 금속 배리어층을 포함한 기판 전면 상에 상기 콘택홀을 충분히 메우도록 금속 배선 형성을 위한 도전성 물질을 증착하는 단계;

상기 층간절연층이 노출되도록 층간절연층 상의 도전성 물질을 평탄화 공정을 통해 제거하여 제 2 배선을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 2】

제 1 항에 있어서, 상기 층간 절연층을 선택적으로 패터닝하여 복수개의 콘택홀을 형성한 후에 상기 복수개의 콘택홀이 형성된 영역의 좌우 층간 절연층의 소정 부위를 식각, 제거하

여 트렌치를 형성하는 단계를 더 포함하여 이루어지는 것을 특징으로 하는 반도체 소자 제조방법.

【청구항 3】

제 1 항에 있어서, 상기 제 1 배선의 소정 부위가 노출되도록 상기 층간 절연층을 순차적으로 패터닝하여 복수개의 콘택홀을 형성하는 단계는,

상기 층간절연층 상에 제 1 포토레지스트를 도포한 후 복수개의 콘택홀 영역이 형성될 위치에 상응하는 부분의 제 1 포토레지스트를 현상하여 제거하는 과정과,

상기 패터닝된 제 1 포토레지스트를 마스크로 하여 상기 층간절연층의 소정 두께 만큼을 식각하여 제거하는 과정과,

상기 소정의 두께 만큼 제거된 층간절연층을 포함한 기판 전면 상에 제 2 포토레지스트를 도포하고 각각의 콘택홀이 형성될 위치에 상응하는 부분의 제 2 포토레지스트를 일정 간격을 두고 선택적으로 현상하여 제거하는 과정과,

상기 패터닝된 제 2 포토레지스트를 마스크로 하여 상기 제 1 배선이 노출되도록 상기 층간절연층을 식각, 제거하여 각각의 콘택홀을 형성하는 과정으로 구성되는 것을 특징으로 하는 반도체 소자 제조방법.

【청구항 4】

제 2 항 또는 제 3 항에 있어서, 상기 패터닝된 제 2 포토레지스트를 마스크로 하여 상기 제 1 배선이 노출되도록 상기 층간절연층을 식각, 제거하여 복수개의 콘택홀을 형성하는 과정을 진행한 후에,

상기 복수개의 콘택홀을 포함한 기판 전면 상에 제 3 포토레지스트를 도포하고 트렌치가 형성될 위치에 상응하는 부분의 제 3 포토레지스트를 선택적으로 패터닝하여 제거하는 과정과,

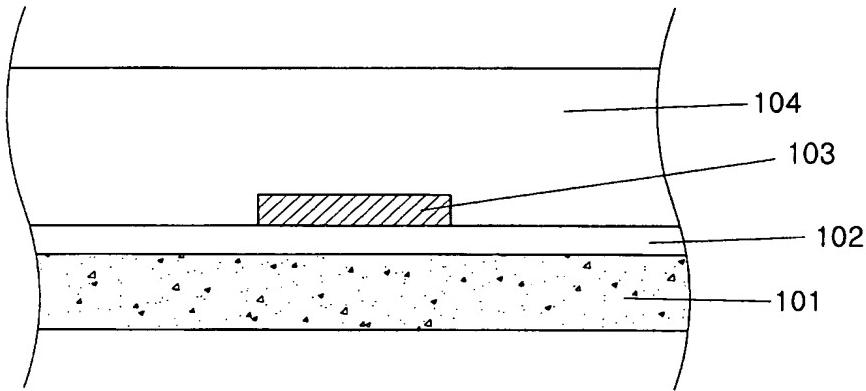
상기 제 3 포토레지스트를 마스크로 이용하여 상기 복수개의 콘택홀이 형성된 영역의 좌우 충간절연층의 소정 부위를 소정 두께만큼 식각, 제거하여 트렌치를 형성하는 과정을 더 포함하여 이루어지는 것을 특징으로 하는 반도체 소자 제조방법.

【청구항 5】

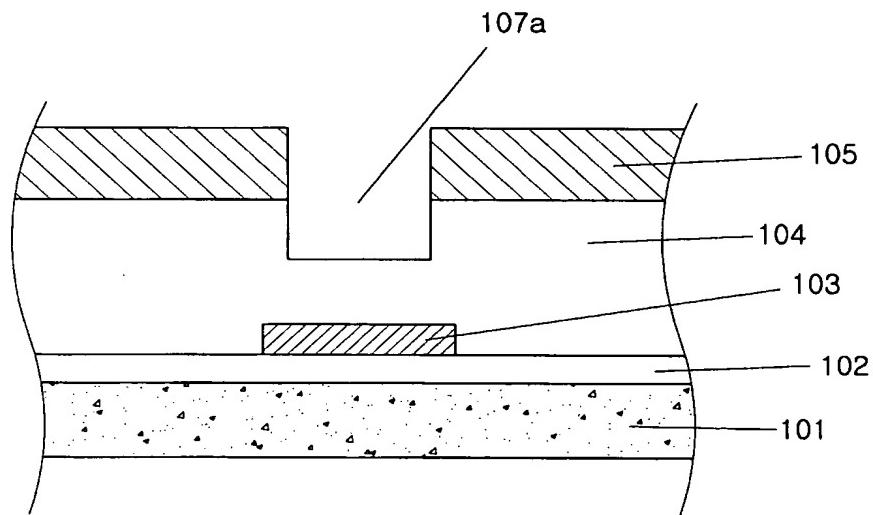
제 1 항에 있어서, 상기 제 1 배선 및 제 2 배선은 구리로 형성하는 것을 특징으로 하는 반도체 소자 제조방법.

【도면】

【도 1】



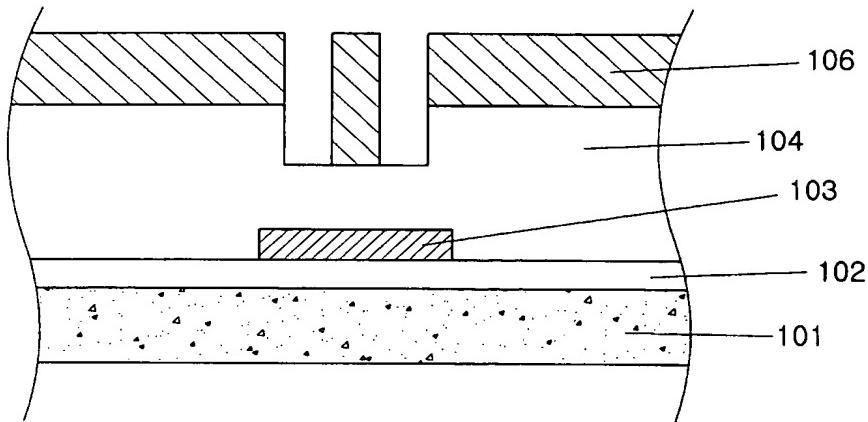
【도 2】



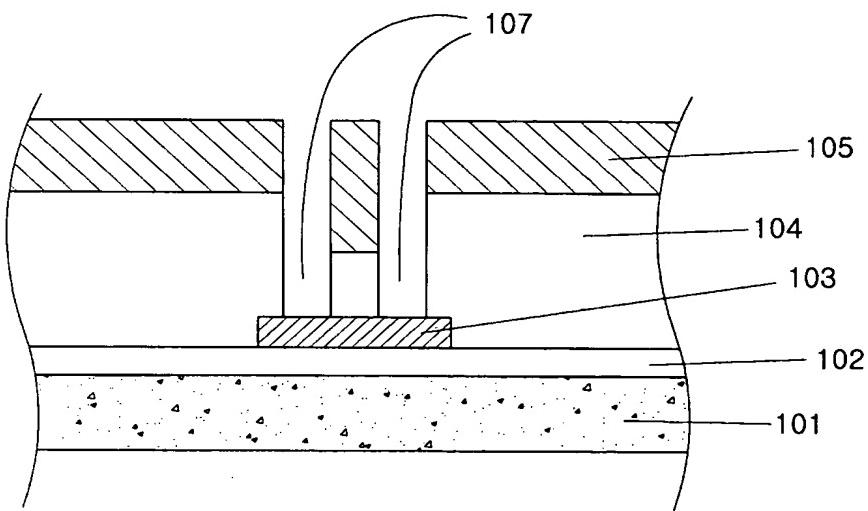
1020020080224

출력 일자: 2003/10/27

【도 3】



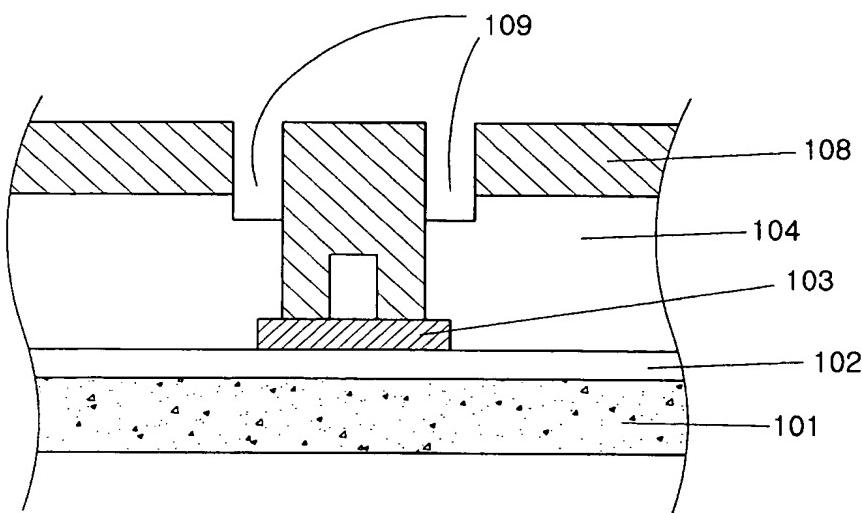
【도 4】



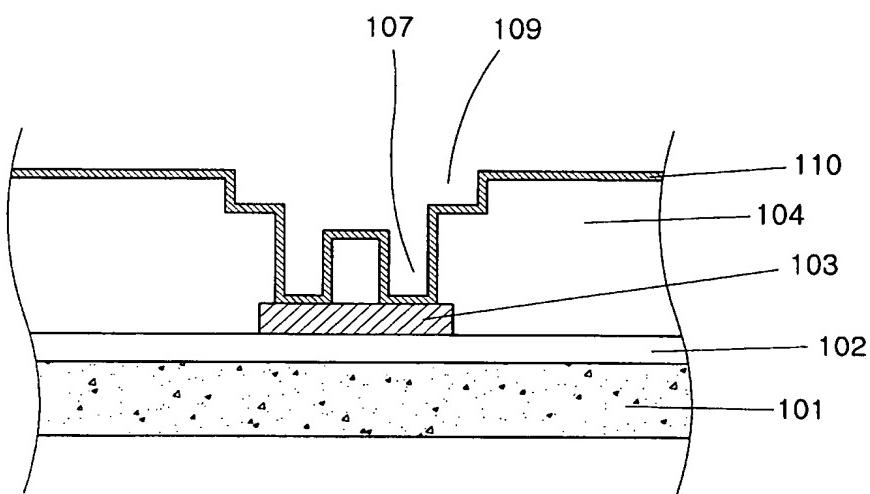
1020020080224

출력 일자: 2003/10/27

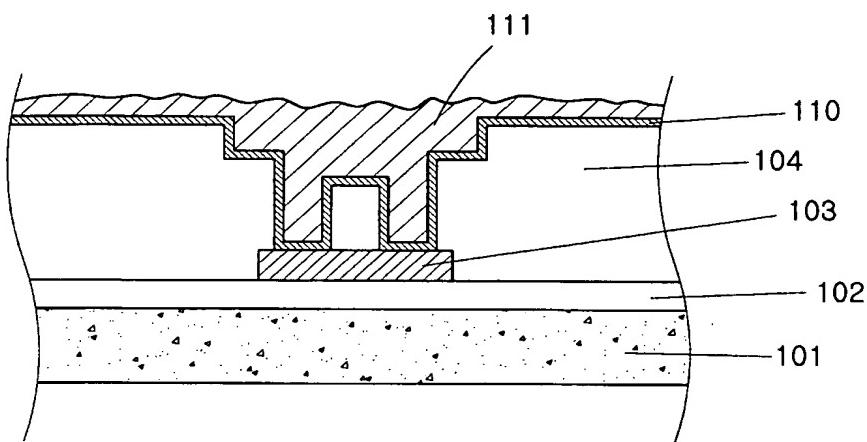
【도 5】



【도 6】



【도 7】



【도 8】

